

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-355255

(43)Date of publication of application : 24.12.1999

(51)Int.CI. H04L 5/00
H03M 9/00
H04L 25/03

(21)Application number : 10-154960

(71)Applicant : TOSHIBA MACH CO LTD

(22)Date of filing : 03.06.1998

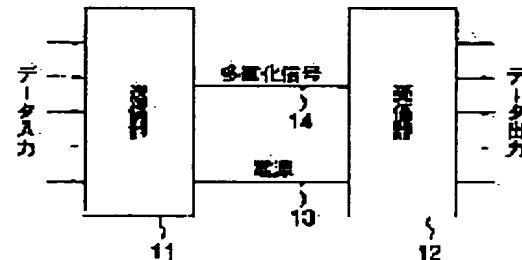
(72)Inventor : MORIYAMA SHOJI

(54) MULTIPLEXED DATA TRANSMISSION EQUIPMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To attain sufficient wiring saving and power saving by generating out a multiplexed serial signal by adjusting a serial data signal and a control signal so that the peak value of each signal waveform can become a prescribed ratio to output it, and detecting only the part exceeding the prescribed peak value among the signal waveforms of received multiplexed serial signals.

SOLUTION: A transmitter 11 converts plural input data signals inputted as parallel data signals to serial data signals. Further, the multiplexed serial signals, by adjusting, overlapping and multiplexing the serial data signal, clock signal and load signal so that the peak value of the waveform can become the prescribed ratio, are generated and transmitted through a multiplex signal line 14. When a receiver 12 receives the multiplexed serial signal, only the part exceeding the prescribed peak value in the signal waveform of the multiplexed serial signal is detected, demultiplexed into the serial data signal, clock signal and load signal, further returned to the original input data and outputted.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

[decision of rejection]
[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-355255

(43)公開日 平成11年(1999)12月24日

(51)Int.Cl.^{*}
H 04 L 5/00
H 03 M 9/00
H 04 L 25/03

識別記号

F I
H 04 L 5/00
H 03 M 9/00
H 04 L 25/03

A
E

審査請求 未請求 請求項の数 6 OL (全 8 頁)

(21)出願番号 特願平10-154960

(22)出願日 平成10年(1998)6月3日

(71)出願人 000003458

東芝機械株式会社

東京都中央区銀座4丁目2番11号

(72)発明者 森山祥二

静岡県沼津市大岡2068の3 東芝機械株式会社沼津事業所内

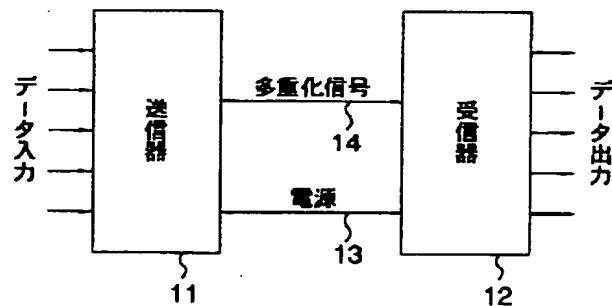
(74)代理人 弁理士 佐藤一雄 (外3名)

(54)【発明の名称】 多重データ伝送装置

(57)【要約】

【課題】 十分な省配線化及び省電力化を図ることが可能な多重データ伝送装置を提供する。

【解決手段】 本発明に係る多重データ伝送装置は、シリアルデータ信号と制御信号とを、各信号波形の波高値が所定の比率となるように調整した上で重ね合わせて多重化した多重化シリアル信号を生成して出力する送信器と、多重化シリアル信号を伝送する多重化信号線と、多重化信号線を介して受信した多重化シリアル信号の信号波形のうち所定の波高値を超える部分のみを検出することにより、多重化シリアル信号からシリアルデータ信号と制御信号とを分別する受信器とを備えたものである。



【特許請求の範囲】

【請求項1】シリアルデータ信号と制御信号とを、各信号波形の波高値が所定の比率となるように調整した上で重ね合わせて多重化した多重化シリアル信号を生成して出力する送信器と、

前記多重化シリアル信号を伝送する多重化信号線と、前記多重化信号線を介して受信した前記多重化シリアル信号の信号波形のうち所定の波高値を超える部分のみを検出することにより、前記多重化シリアル信号から前記シリアルデータ信号と前記制御信号とを分別する受信器と、を備えたことを特徴とする多重データ伝送装置。

【請求項2】パラレルデータ信号をシリアルデータ信号に変換する第1のデータ信号変換手段と、

前記シリアルデータ信号を変換して前記パラレルデータ信号に復元するために必要な制御信号を生成する制御信号生成手段と、

前記第1のデータ変換手段により変換された前記シリアルデータ信号と前記制御信号生成手段により生成された前記制御信号とを、各信号波形の波高値が所定の比率となるように調整した上で重ね合わせて多重化した多重化シリアル信号を生成する多重化シリアル信号生成手段と、

前記多重化シリアル信号を伝送する多重化信号線と、

前記多重化信号線を介して受信した前記多重化シリアル信号の信号波形のうち所定の波高値を超える部分のみを検出することにより、前記多重化シリアル信号から前記シリアルデータ信号と前記制御信号とを分別する信号分別手段と、

前記制御信号を用いて前記シリアルデータ信号を前記パラレルデータ信号に変換する第2のデータ信号変換手段と、を備えたことを特徴とする多重データ伝送装置。

【請求項3】クロック信号を発生するクロック発振器と、前記クロック信号に基づきカウントを行い、カウンタ出力信号を出力するバイナリカウンタと、前記カウンタ出力信号が“0”的ときにのみ“1”となるロード信号を出力する第1の論理ゲートと、前記カウンタ出力信号が“N+1”(Nは2以上の自然数。以下同じ。)”のときにのみ“1”となるリセット信号を出力し、前記バイナリカウンタのカウント値をリセットする第2の論理ゲートと、前記ロード信号の反転信号と前記クロック信号とのAND論理演算結果であるシフト信号を出力する第3の論理ゲートと、入力されるN個のパラレルデータ信号を、前記シフト信号及び前記ロード信号を用いて多重化したシリアルデータ信号に変換し出力するパラレルイン／シリアルアウト型シフトレジスタと、前記シリアルデータ信号、前記ロード信号、前記クロック信号がそれぞれ第1、第2、第3の入力抵抗を介して入力され、これらの信号を重ね合わせて多重化した多重化シリアル信号を出力する第1のアンプと、必要とされる所定電圧を、外部から供給される電力に基づき発生させ供給する

第1の電源とを有する送信器と、
前記多重化シリアル信号を伝送する多重化信号線と、
前記多重化信号線を介して前記多重化シリアル信号を受信し、増幅して出力する第2のアンプと、前記アンプからそれぞれ入力される前記多重化シリアル信号の信号波形のうち、それぞれに設定された波高値を超える部分のみを検出することにより前記クロック信号、前記シリアルデータ信号と前記ロード信号との加算信号、前記ロード信号を分別する第1、第2、第3のスライサと、前記クロック信号と前記ロード信号の反転信号とのAND論理演算結果である前記シフト信号を出力する第4の論理ゲートと、前記加算信号と前記ロード信号の反転信号とのAND論理演算結果である前記シリアルデータ信号を出力する第5の論理ゲートと、前記シフト信号及び前記ロード信号を用いて前記シリアルデータ信号を前記N個のパラレルデータ信号に変換して出力するシリアルイン／パラレルアウト型シフトレジスタと、必要とされる所定電圧を、外部から供給される電力に基づき発生させ供給する第2の電源とを有する受信器と、

前記前記第2の電源に供給する電力を前記第1の電源にも供給するために、前記受信器と前記送信器とを接続する電源線と、を備えたことを特徴とする多重データ伝送装置。

【請求項4】前記第1のアンプの前記第1、第2、第3の入力抵抗の抵抗値は、前記第1、第2、第3のスライサによる前記クロック信号、前記加算信号、前記ロード信号の分別を可能とするため、前記シリアルデータ信号、前記ロード信号、前記クロック信号の信号波形の波高値が所定の比率となるように、設定されていることを特徴とする請求項3に記載の多重データ伝送装置。

【請求項5】前記送信器及び前記受信器は、ハイパスフィルタ及びローパスフィルタをそれぞれ有し、かつ、前記電源線は、前記多重化信号線で兼用されることにより、前記多重化シリアル信号は、前記送信器の前記ハイパスフィルタ、前記多重化信号線及び前記受信器の前記ハイパスフィルタを介して前記送信器から前記受信器へ伝送され、前記電力は、前記送信器の前記ローパスフィルタ、前記多重化信号線及び前記受信器の前記ローパスフィルタを介して前記受信器側から前記送信器側へ供給されることを特徴とする請求項3又は4のいずれかに記載の多重データ伝送装置。

【請求項6】前記送信器は、電気信号である前記多重化シリアル信号を光信号に変換して出力する輝度変調型光送信器を有し、前記受信器は、光信号として受信した前記多重化シリアル信号を電気信号に変換して出力する輝度変調型光受信器を有し、前記多重化信号線として光ファイバケーブルが用いられていることを特徴とする請求項3又は4のいずれかに記載の多重データ伝送装置。

【発明の詳細な説明】

【発明の属する技術分野】本発明は、制御装置等と機械装置等との間の入出力接続配線を省配線化する多重データ伝送装置に関する。

【0002】

【従来の技術】多重データ伝送装置は、制御装置等と機械装置等との間の入出力接続配線を省配線化するために用いられている。従来から用いられている多重データ伝送装置は、パラレルデータ信号として入力される複数の入力データ信号をシリアルデータ信号に変換し、シフト信号及びロード信号とともに送信する送信器と、受信したシリアルデータ信号を元のパラレルデータ信号である入力データ信号に戻し、シフト信号及びロード信号を用いてパラレルデータ信号である出力データ信号として出力する受信器と、送受信器間を接続する複数の接続配線とを用いて構成されるものである。

【0003】図7は、従来の多重データ伝送装置の概略構成を示したブロック図である。図7に示した従来の多重データ伝送装置は、送信器71と、受信器72と、電源線73と、シリアルデータ線74と、シフト信号線75と、ロード信号線76とから構成されている。

【0004】送信器71は、パラレルデータ信号として入力される複数の入力データ信号をシリアルデータ信号に変換し、シリアルデータ線74、シフト信号線75及びロード信号線76を介して、シリアルデータ信号、シフト信号及びロード信号をそれぞれ送信する。

【0005】受信器72は、シリアルデータ線74、シフト信号線75及びロード信号線76を介してシリアルデータ信号、シフト信号及びロード信号をそれぞれ受信すると、シフト信号及びロード信号を用いて、シリアルデータ信号を元のパラレルデータ信号である入力データ信号に戻し、パラレルデータ信号である出力データ信号として出力する。

【0006】送信器71の電源には、受信器72の電源に供給される電力が電源線73を介して供給される。

【0007】この従来の多重データ伝送装置においては、多重データ伝送のために、複数のパラレルデータ信号が多重化されたシリアルデータ信号と、シフト信号として用いるクロック信号と、受信されたシリアルデータ信号をパラレルデータ信号に戻すためのラッチ信号として用いられるロード信号との3種類の信号が必要とされる。また、送信器及び受信器には、電源も必要とされる。

【0008】これらの各信号及び電力の伝送には、それぞれ別個の配線が必要である。例えば、10種類のデータ信号を多重化して伝送する場合、多重化された5つのシリアルデータ信号、シフト信号、ロード信号及び電力の伝送のために、必要とされる配線数は、8本となる。従って、伝送される多重化シリアルデータ信号が1つであるとしても、シフト信号及びロード信号の2種類の制御信号並びに電力の伝送のために、少なくとも4本の配

線が必要とされる。

【0009】

【発明が解決しようとする課題】上述したように、従来の多重データ伝送装置においては、多重化シリアルデータ信号、2種類の制御信号及び電力の伝送のために、少なくとも4本の配線が必要とされる。より正確には、電力の供給には2本の配線が必要であり、また、通常用いられている耐ノイズ性を考慮した規格のインターフェースにおいては、データ信号線及び制御信号線も信号数の2倍の本数の配線が必要となることから、結局、合計8本の配線が必要となる。配線数が多ければ、消費電力も大きくなる。即ち、多重データ伝送装置は、本来、省配線化及び省電力化を図ることを目的としているにもかかわらず、従来の多重データ伝送装置においては、十分に省配線化及び省電力化が図られているとはいえない。

10 【0010】本発明は上記問題点に鑑みてなされたもので、その目的は、十分な省配線化及び省電力化を図ることが可能な多重データ伝送装置を提供することである。

【0011】

20 【課題を解決するための手段】本発明に係る多重データ伝送装置によれば、シリアルデータ信号と制御信号とを、各信号波形の波高値が所定の比率となるように調整した上で重ね合わせて多重化した多重化シリアル信号を生成して出力する送信器と、多重化シリアル信号を伝送する多重化信号線と、多重化信号線を介して受信した多重化シリアル信号の信号波形のうち所定の波高値を超える部分のみを検出することにより、多重化シリアル信号からシリアルデータ信号と制御信号とを分別する受信器とを備えたことを特徴とし、この構成により、電力供給のための電源線の他に、多重化信号線を配線するのみで足りることになるので、従来の多重データ伝送装置に比較して配線数を半減することができ、十分な省配線化及び省電力化を図ることが可能となる。

【0012】

【発明の実施の形態】以下、本発明に係る多重データ伝送装置の実施の形態について、図面を参照しながら説明する。

【0013】図1は、本発明の第1の実施の形態に係る多重データ伝送装置の概略構成を示したブロック図である。

40 【0014】図1に示した本発明の第1の実施の形態に係る多重データ伝送装置は、送信器11と、受信器12と、電源線13と、多重化信号線14とから構成されている。

【0015】送信器11は、パラレルデータ信号として入力される複数の入力データ信号をシリアルデータ信号に変換し、さらに、シリアルデータ信号と、シフト信号として用いるクロック信号と、シリアルデータ信号をパラレルデータ信号に戻すためのラッチ信号であって、送受信器を同期化する同期信号として用いられるロード信号

号とを、重ね合わせて信号波形の波高を変化させることにより多重化した多重化シリアル信号として、多重化信号線14を介して送信する。

【0016】受信器12は、多重化信号線14を介して多重化シリアル信号を受信すると、多重化シリアル信号をシリアルデータ信号、シフト信号及びロード信号に分別し、さらに、シフト信号及びロード信号を用いて、シリアルデータ信号を元のパラレルデータ信号である入力データ信号に戻し、パラレルデータ信号である出力データ信号として出力する。

【0017】送信器11の電源には、受信器12の電源に供給される電力が電源線13を介して供給される。

【0018】本発明の第1の実施の形態に係る多重データ伝送装置においては、多重データ伝送のために、シリアルデータ信号、シフト信号及びロード信号を多重化した多重化シリアル信号として送信する。従って、電力供給のための電源線13の他に、多重化信号線14を配線するのみで足りる。より正確には、電力の供給には2本の配線が必要であり、また、通常用いられている耐ノイズ性を考慮した規格のインターフェースにおいては、信号線は信号数の2倍の本数の配線が必要であるが、合計4本の配線のみで足りることとなり、従来の多重データ伝送装置に比較して配線数を半減することができる。

【0019】図2は、本発明の第1の実施の形態に係る多重データ伝送装置における送信器の構成を示したブロック図である。

【0020】図2に示した本発明の第1の実施の形態に係る多重データ伝送装置における送信器は、クロック信号を発生するクロック発振器CLK21と、クロック発振器CLK21から入力されるクロック信号に基づきカウントを行い、カウンタ出力信号を出力するバイナリカウンタCT21と、バイナリカウンタCT21から入力されるカウンタ出力信号が“0”的ときにのみ“1”となるロード信号を出力する第1の論理ゲート（单一入力論理ゲート）G21と、バイナリカウンタCT21から入力されるカウンタ出力信号が“N+1”的ときにのみ“1”となるリセット信号を出力し、バイナリカウンタCT21のカウント値をリセットする第2の論理ゲート（单一入力論理ゲート）G22と、第1の論理ゲートG21から入力されるロード信号の反転信号とクロック発振器CLK21から入力されるクロック信号とのAND論理演算結果であるシフト信号を出力する第3の論理ゲート（2入力論理ゲート）G23と、制御装置等から入力される複数個（N個）のパラレルデータ信号を、シフト信号及びロード信号を用いて多重化したシリアルデータ信号に変換し出力するパラレルイン／シリアルアウト型シフトレジスタR20と、パラレルイン／シリアルアウト型シフトレジスタR20からのシリアルデータ信号、第1の論理ゲートG21からのロード信号、クロック発振器CLK21からのクロック信号がそれぞれ第

1、第2、第3の入力抵抗r21、r22、r23を介して入力され、これらの信号を重ね合わせて信号波形の波高を変化させることにより多重化した多重化シリアル信号を出力するアンプAP21により構成された加算回路AD21と、アンプAP21等において必要とされる正電圧PV及び負電圧NVや、回路の各部において必要とされる基準電圧0V等の所定電圧を、外部から供給される電力に基づき発生させ、送信器内の各部に供給する電源P21とから構成されている。

10 【0021】パラレルイン／シリアルアウト型シフトレジスタR20はフリップフロップを内蔵しており、入力されるシフト信号が“1”になる度ごとに、フリップフロップは、N個のパラレルデータ信号を第1のデータ信号から第Nのデータ信号まで順次記憶するとともに、直前に記憶されていたデータ信号を出力していく。即ち、パラレルイン／シリアルアウト型シフトレジスタR20に内蔵されているフリップフロップは、シフト信号が“1”になる度ごとに状態が遷移していく機能を有するものであり、遷移する各状態はN個のパラレルデータ信号によって決定される。

【0022】上述のように、第1の論理ゲートG21から出力されるロード信号は、第1の論理ゲートG21に入力されるカウンタ出力信号が“0”的ときにのみ“1”となる制御信号であり、第2の論理ゲートG22から出力されるリセット信号は、第2の論理ゲートG22に入力されるカウンタ出力信号が“N+1”的ときにのみ“1”となり、バイナリカウンタCT21のカウント値をリセットする制御信号である。また、第3の論理ゲートG23から出力されるシフト信号は、ロード信号の反転信号とクロック信号とのAND論理演算結果であって、クロック信号から、ロード信号が“1”である期間のクロックパルスが除去された制御信号である。

【0023】シリアルデータ信号、ロード信号及びクロック信号は、アンプAP21として高速オペアンプを用いた加算回路AD21に入力される。この際、シリアルデータ信号、ロード信号、クロック信号にそれぞれ作用する第1、第2、第3の入力抵抗r21、r22、r23の値は、シリアルデータ信号、ロード信号及びクロック信号を重ね合わせて生成される多重化シリアル信号が後述する受信器において分別可能となるように、それぞれ適当な大きさに設定する。アンプAP21としては、高周波特性の優れたビデオアンプが適している。

【0024】図3は、本発明の第1の実施の形態に係る多重データ伝送装置における受信器の構成を示したブロック図であり、図4は、多重化シリアル信号（図4(a)）、スライスレベル3で分別された第3の制御信号（ロード信号）（図4(b)）、スライスレベル2で分別された第2の制御信号（シリアルデータ信号とロード信号との加算信号）（図4(c)）、復元したシリアルデータ信号（図4(d)）、スライスレベル1で分別

された第1の制御信号（クロック信号）（図4（e））及びシフト信号（図4（f））の信号波形をそれぞれ示したグラフである。

【0025】図3に示した本発明の第1の実施の形態に係る多重データ伝送装置における受信器は、送信器から出力された多重化シリアル信号を受信し、増幅して出力するアンプAP31と、アンプAP31からそれぞれ入力される多重化シリアル信号の信号波形のうち、それぞれに設定されたスライスレベル1、2、3を超える部分のみを検出することにより第1の制御信号（クロック信号）、第2の制御信号（シリアルデータ信号とロード信号との加算信号）、第3の制御信号（ラッチ信号として用いられるロード信号）を分別する第1、第2、第3のスライサS31、S32、S33と、第1のスライサS31から入力される第1の制御信号と第3のスライサS33から入力される第3の制御信号の反転信号とのAND論理演算結果であるシフト信号を出力する第4の論理ゲート（2入力論理ゲート）G31と、第2のスライサS32から入力される第2の制御信号と第3のスライサS33から入力される第3の制御信号の反転信号とのAND論理演算結果であるシリアルデータ信号を出力する第5の論理ゲート（2入力論理ゲート）G32と、第1、第2、第3のスライサS31、S32、S33及び第4、第5の論理ゲートG31、G32により分別又は復元されたシリアルデータ信号、シフト信号、ロード信号（ラッチ信号）が入力され、シフト信号及びラッチ信号を用いてシリアルデータ信号を元のN個のパラレルデータ信号に変換して出力するシリアルイン／パラレルアウト型シフトレジスタR30と、アンプAP31等において必要とされる正電圧PV及び負電圧NVや、回路の各部において必要とされる基準電圧0V等の所定電圧を、外部から供給される電力に基づき発生させ、受信器内の各部に供給する電源P31とから構成されている。尚、電源P31に供給される電力は受信器外部に出力され、図1に示した電源線13を介して、図2に示した送信器の電源P21にも供給される。

【0026】アンプAP31としては高速オペアンプ、例えば、高周波特性の優れたビデオアンプが適している。アンプAP31は、送信器から出力された多重化シリアル信号を受信して増幅し、第1、第2、第3のスライサS31、S32、S33に対して出力する。図4（a）のグラフは、アンプAP31から出力された多重化シリアル信号の信号波形を示している。この多重化シリアル信号は、送信器内で生成されたシリアルデータ信号、ロード信号、クロック信号が2:1:1の波高比で重ね合わせられて生成されたものである。従って、上述した送信器を構成する加算回路AD21の第1、第2、第3の入力抵抗r21、r22、r23の値は、このような多重化シリアル信号が生成されるように、設定される。

【0027】アンプAP31から出力された多重化シリアル信号は、第1、第2、第3のスライサS31、S32、S33にそれぞれ入力される。第1、第2、第3のスライサS31、S32、S33には、信号検出についてのスライスレベル1、2、3がそれぞれ設定されており、多重化シリアル信号の信号波形のうちスライスレベル1、2、3を超える部分のみをそれぞれ検出し分別する。

【0028】例えば、図4（a）に示したようにスライスレベル1、2、3が設定されており、かつ、同図に示すような多重化シリアル信号が入力された場合、第3のスライサS33においてはこの多重化シリアル信号の信号波形のうちスライスレベル3を超える部分のみを検出し、図4（b）に示す信号波形3を有する第3の制御信号を分別する。この第3の制御信号は、受信器内のシリアルイン／パラレルアウト型シフトレジスタR30においてラッチ信号として用いられるロード信号である。第2のスライサS32においてはこの多重化シリアル信号の信号波形のうちスライスレベル2を超える部分のみを検出し、図4（c）に示す信号波形2を有する第2の制御信号を分別する。この第2の制御信号は、シリアルデータ信号とロード信号との加算信号である。第1のスライサS31においてはこの多重化シリアル信号の信号波形のうちスライスレベル1を超える部分のみを検出し、図4（e）に示す信号波形1を有する第1の制御信号を分別する。第1、第2及び第3の制御信号は総て同位相の信号であるため、この第1の制御信号は、そのままクロック信号として使用することができる。

【0029】第1、第2のスライサS31、S32から出力された第1、第2の制御信号はそれぞれ第4、第5の論理ゲートG31、G32の一方側入力にそのまま入力される。また、第3のスライサから出力された第3の制御信号は第4、第5の論理ゲートG31、G32の他方側入力に論理反転されて入力されるとともに、シリアルイン／パラレルアウト型シフトレジスタR30にラッチ信号として入力される。

【0030】第4の論理ゲートG31においては、クロック信号である第1の制御信号とロード信号である第3の制御信号の反転信号とのAND論理演算が行われ、その演算結果として、図4（f）に示すようなシフト信号が出力される。このシフト信号は、クロック信号から、ロード信号が“1”である期間のクロックパルスが除去された制御信号である。第5の論理ゲートG32においては、シリアルデータ信号とロード信号との加算信号である第2の制御信号とロード信号である第3の制御信号の反転信号とのAND論理演算が行われ、その演算結果として、図4（d）に示すようなシリアルデータ信号が出力される。このシリアルデータ信号は、第2の制御信号から、ロード信号が“1”である期間のパルスが除去されたデータ信号である。図4（a）及び（d）より、

送信器から出力されたシリアルデータ信号“1, 0, 0, 0, 1, 0, 1”が復元されていることが分かる。第4, 第5の論理ゲートG31, G32から出力されたシフト信号、シリアルデータ信号は、それぞれシリアルイン/パラレルアウト型シフトレジスタR30に入力される。

【0031】シリアルイン/パラレルアウト型シフトレジスタR30はフリップフロップを内蔵しており、入力されるシフト信号が“1”になる度ごとに、フリップフロップは、シリアルデータ信号に含まれている第1のデータ信号から第Nのデータ信号までの論理状態を順次記憶するとともに、直前に記憶されていた第1のデータ信号から第Nのデータ信号までの各データ信号をN個のパラレルデータ信号として同期させて出力していく。即ち、シリアルイン/パラレルアウト型シフトレジスタR30に内蔵されているフリップフロップは、シフト信号が“1”になる度ごとに状態が遷移していく機能を有するものであり、遷移する各状態はシリアルデータ信号に含まれている第1のデータ信号から第Nのデータ信号までの論理状態によって決定される。これにより、送信器に入力された元のN個のパラレルデータ信号が復元されることになる。

【0032】本発明に係る多重データ伝送装置は、ハードウェアのみで構成すると、使用する集積回路素子の能力を最大限に使用するので、データ転送を高速に行うことができる。

【0033】図5は、本発明の第2の実施の形態に係る多重データ伝送装置の概略構成を示したブロック図であり、本発明の第2の実施の形態に係る多重データ伝送装置は、上述した本発明の第1の実施の形態に係る多重データ伝送装置の第1の応用例である。

【0034】図5に示した本発明の第2の実施の形態に係る多重データ伝送装置は、送信器51にハイパスフィルタHF1及びローパスフィルタLF1並びに電源P51, 受信器52にハイパスフィルタHF2及びローパスフィルタLF2並びに電源P52をそれぞれ備え、送信器51と受信器52とを共通の多重化信号線53を用いて接続することにより構成されている。

【0035】本発明の第2の実施の形態に係る多重データ伝送装置は、上述した本発明の第1の実施の形態に係る多重データ伝送装置において、さらに、多重化シリアル信号と直流電力とを多重化して共通の配線で伝送し、送信器及び受信器において多重化シリアル信号と直流電力とを周波数分別するように構成したものである。多重化信号の周波数はメガヘルツ帯域、直流電力の周波数はゼロであることから、これらの信号を多重化しても、LCフィルタを用いることにより再度分別することが可能である。

【0036】送信器51からハイパスフィルタHF1を介して出力された多重化信号Q1は、多重化信号線53

を経由して受信器52に伝送され、受信器52においてハイパスフィルタHF2を介して多重化信号Q2として周波数分別される。また、受信器52の電源P52からローパスフィルタLF2を介して供給される電力は、多重化信号線53を経由して送信器51に伝送され、送信器51においてローパスフィルタLF1を介して電源P51に供給される。

【0037】図6は、本発明の第3の実施の形態に係る多重データ伝送装置の概略構成を示したブロック図であり、本発明の第3の実施の形態に係る多重データ伝送装置は、上述した本発明の第1の実施の形態に係る多重データ伝送装置の第2の応用例である。

【0038】図6に示した本発明の第3の実施の形態に係る多重データ伝送装置は、送信器61に輝度変調型光送信器C1及び電源P61, 受信器62に輝度変調型光受信器C2及び電源P62をそれぞれ備え、送信器51の電源P61と受信器52の電源P62とを電源線13を用いて接続し、送信器51の輝度変調型光送信器C1と受信器52の輝度変調型光受信器C2とを光ファイバケーブル64を用いて接続することにより構成されている。

【0039】本発明の第3の実施の形態に係る多重データ伝送装置は、上述した本発明の第1の実施の形態に係る多重データ伝送装置を輝度変調型光通信に応用したものである。基本的な構成は第1の実施の形態と同様であるが、多重化シリアル信号を光信号として送受信するために、送信器61に輝度変調型光送信器C1, 受信器62に輝度変調型光受信器C2が備えられている。

【0040】送信器61において多重化された多重化信号Q1は、輝度変調型光送信器C1により電気信号から光信号に変換され、光ファイバケーブル64を経由して受信器62に伝送される。受信器62において受信された光信号は、輝度変調型光受信器C2により電気信号の多重化信号Q2に変換され、この多重化信号Q2から元のパラレルデータ信号が復元される。また、受信器62の電源P62から供給される電力は、電源線63を経由して送信器61に伝送され、送信器1の電源P51に供給される。

【0041】光ファイバによる伝送は、低損失、広帯域、無誘導等の特徴を有するので、配線が長い場合や、配線がノイズを生ずる他の配線と併設される場合に有効である。

【0042】

【発明の効果】本発明に係る多重データ伝送装置によれば、送信器は、シリアルデータ信号と制御信号とを、各信号波形の波高値が所定の比率となるように調整した上で重ね合わせて多重化した多重化シリアル信号を生成して出力し、受信器は、多重化信号線を介して受信した多重化シリアル信号の信号波形のうち所定の波高値を超える部分のみを検出することにより、多重化シリアル信号

からシリアルデータ信号と制御信号とを分別するように構成されているので、電力供給のための電源線の他に、多重化シリアル信号を伝送する多重化信号線を配線するのみで足り、従来の多重データ伝送装置に比較して配線数を半減することができ、十分な省配線化及び省電力化を図ることが可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る多重データ伝送装置の概略構成を示したブロック図。

【図2】本発明の第1の実施の形態に係る多重データ伝送装置における送信器の構成を示したブロック図。

【図3】本発明の第1の実施の形態に係る多重データ伝送装置における受信器の構成を示したブロック図。

【図4】本発明の第1の実施の形態に係る多重データ伝送装置において用いられる各信号の信号波形をそれぞれ示したグラフ。

【図5】本発明の第2の実施の形態に係る多重データ伝送装置の概略構成を示したブロック図。

【図6】本発明の第3の実施の形態に係る多重データ伝送装置の概略構成を示したブロック図。

【図7】従来の多重データ伝送装置の概略構成を示した
ブロック図。

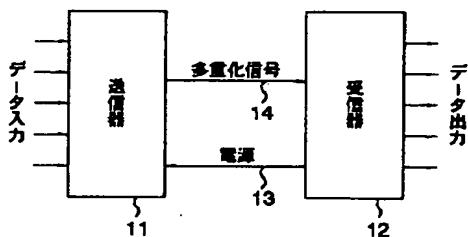
【符号の説明】

11. 51. 61. 71 送信器

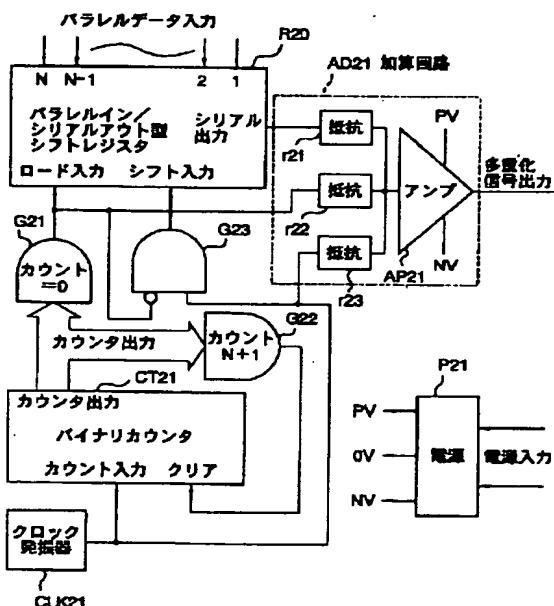
- * 12, 52, 62, 72 受信器
- 13, 63, 73 電源線
- 14, 53 多重化信号線
- 64 光ファイバケーブル
- 74 シリアルデータ線
- 75 シフト信号線
- 76 ロード信号線
- CLK21 クロック発振器
- CT21 バイナリカウンタ
- 10 G21, G22, G23, G31, G32 論理ゲート
- R20 パラレルイン／シリアルアウト型シフトレジスタ
- R30 シリアルイン／パラレルアウト型シフトレジスタ
- AP21, AP31 アンプ
- AD21 加算回路
- P21, P31, P51, P52, P61, P62 電源
- S31, S32, S33 スライサ
- 20 HF1, HF2 ハイバスフィルタ
- LF1, LF2 ローバスフィルタ
- C1 輝度変調型光送信器
- C2 輝度変調型光受信器

*

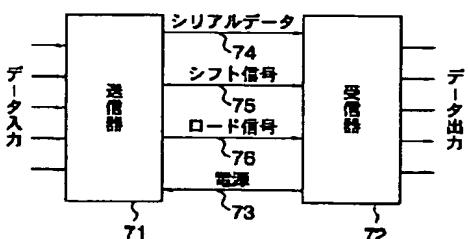
〔図1〕



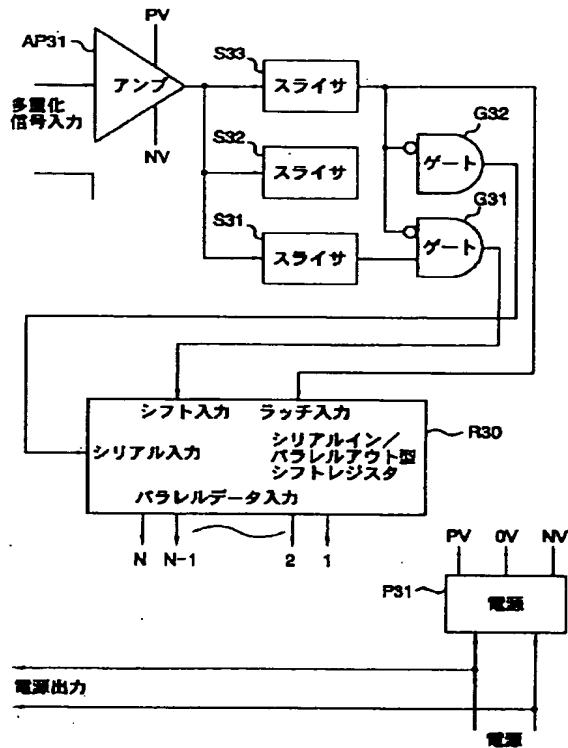
【図2】



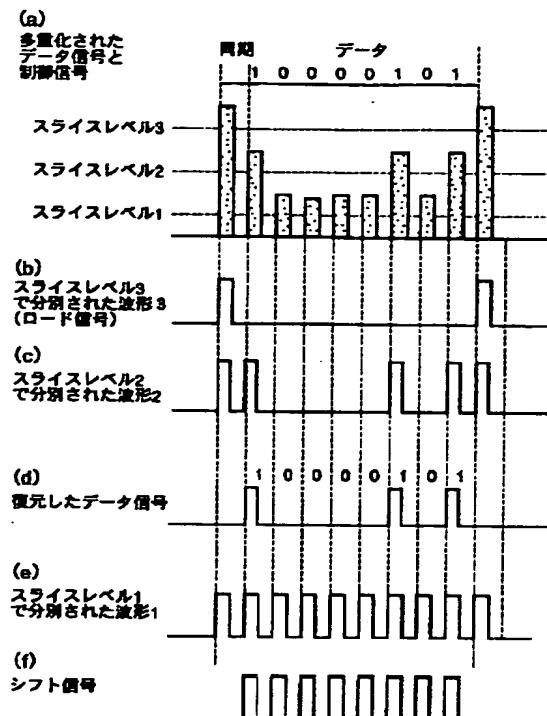
〔図7〕



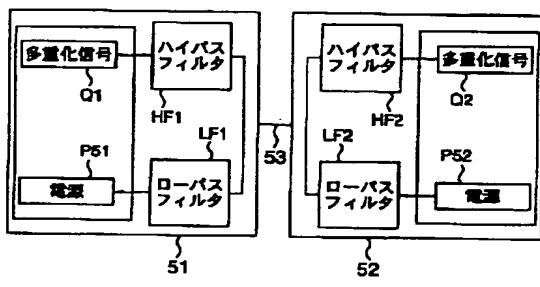
【図3】



【図4】



【図5】



【図6】

